

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-123551

(43)Date of publication of application : 23.04.1992

(51)Int.Cl.

H04L 27/12
H03B 28/00

(21)Application number : 02-242453

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 14.09.1990

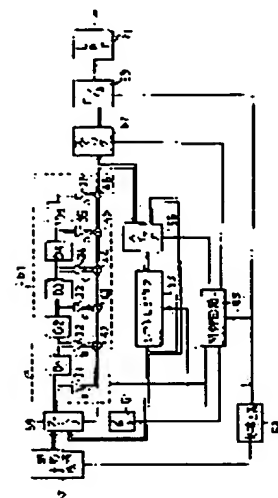
(72)Inventor : SHITANDA KOJI

(54) SINUSOIDAL WAVE SYNTHESIS CIRCUIT

(57)Abstract:

PURPOSE: To expand sufficiently a difference between a level at a desired frequency and a level in the neighboring harmonic wave by repeating the operation of inputting a rectangular wave to a digital filter and inputting an obtained output to the digital filter again.

CONSTITUTION: A rectangular wave generating circuit 57 inputs an initial value of a period T_m to a shift register 53 via a digital filter 51 to obtain a step waveform and the input to the digital filter 51 is switched into an output of the shift register 53 and shifted again, then an output of the digital filter 51 receiving the step wave is stored in the shift register 53. When the step wave of the shift register 53 is inputted again to the digital filter 51, the level of the step wave is further emphasized and a sufficient level is obtained and then a switch 55 is used to switch the input of the shift register 53 from the output of the digital filter 51 into the output of the shift register 53 to stop resetting of the output of a delay device by a reset circuit 61. Thus, a difference between a level at a desired frequency and a level at the neighboring harmonic wave is expanded further.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-123551

⑬ Int. Cl.⁵

H 04 L 27/12
H 03 B 28/00

識別記号

A
A

庁内整理番号

7240-5K
9182-5J

⑭ 公開 平成4年(1992)4月23日

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 正弦波合成回路

⑯ 特 願 平2-242453

⑰ 出 願 平2(1990)9月14日

⑱ 発 明 者 四 反 田 浩 二 埼玉県深谷市橋羅町1丁目9番2号 株式会社東芝深谷工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

正弦波合成回路

2. 特許請求の範囲

矩形波発生手段と、

この矩形波発生手段からの矩形波を初期値としてデジタルフィルタに供給する第1のスイッチと、前記デジタルフィルタの出力をシフトレジスタに供給する第2のスイッチと、

前記デジタルフィルタから得られる正弦波とその高周波とのレベル差を拡大するために、前記第1及び第2のスイッチを制御して、前記シフトレジスタの出力を前記デジタルフィルタに供給し、そのデジタルフィルタの出力を再度前記シフトレジスタに取込ませる手段とを具備したことを特徴とする正弦波合成回路。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

この発明はFSK(Frequency Shift Keying)信

号を使用する各種通信機器および家電機器等の正弦波合成回路に関する。

(従来の技術)

従来、PB(Push Button signal)ダイヤルにおけるDTMF(Dual Tone Multi Frequency)信号あるいはビデオテキストの上り信号等、FSK信号を発生させる回路として擬似正弦波を低域遮断フィルタ(以下LPFと記す)に通すことによって、目的とする周波数の正弦波を得る方法がある。

第3図は従来の擬似正弦波発生回路を示している。

発振回路11の出力は分割点カウント回路13の一方の入力端に加えられ、他方の入力端には周波数選択回路15の出力が加えられる。分割点カウント回路13の出力はパルス選択回路19の一方の入力端に加えられる。また発振回路11の出力は更にパルス列生成回路17a、17b、17c、…を並列に介してパルス選択回路19の他方の入力端にそれぞれ加えられる。パルス選択回路19の出力はLPF21に入力される。

発振回路11は得ようとする正弦波の周波数 f_0 に対して十分に高い周波数を発振することができる。分割点カウント回路13は周波数 f_0 の1周期 $T_0 (=1/f_0)$ をいくつかの区間に分割した時の分割点を、発振回路11からのクロックをカウントすることにより求めることができる。周波数選択回路15は得ようとする正弦波の周波数を切り換えるために分割点の間隔を切換えることができる。パルス列生成回路17はデューティの違った数種のパルス列を生成することができる。パルス選択回路19は分割した各区間において、前記数種のパルス列からいずれかを選択することができ、区間毎に選択したパルス列を出力することにより擬似正弦波を得ることができる。LPP 21は前記擬似正弦波から目的の正弦波を抽出することができる。

第4図を参照して上記回路の動作を説明する。

例えば、第4図(a)のように得ようとする周波数 f_0 の1周期 T_0 を12区間($T_{01}, T_{02}, \dots, T_{012}$)に等分割し、周波数選択回路15で1区間をカウ

ントするカウント値を決定し、分割点カウント回路13で1区間をカウントする。パルス列生成回路17ではデューティがそれぞれ0.1/16, 1/4, 1/2, 3/4, 15/16, 1となるような7種のパルス列 $P_{01}, P_{02}, P_{03}, P_{04}, P_{05}, P_{06}, P_{07}$ を生成し、パルス選択回路19では($T_{01}, T_{02}, \dots, T_{012}$)の各区間それぞれ($P_{01}, P_{02}, P_{03}, P_{04}, P_{05}, P_{06}, P_{07}$)を選択することによれば、出力される擬似正弦波の平均値は第4図(b)のように各区間において(1/16, 1/4, 1/2, 3/4, 15/16, 1, 15/16, 3/4, 1/2, 1/4, 1/16, 0)の値をとる階段波となる。このようにして得られた擬似正弦波を最終的にはLPPを介して高周波成分を除き、所望の周波数 f_0 の正弦波を得る。第4図(c)は一部の区間を拡大してパルスデューティの様子を示している。

(発明が解決しようとする課題)

従来この様な正弦波を必要とする場合、例えばDTMF信号のようにいくつかの周波数を切換え

て発生させることが多い。この場合、後段のLPP 21を共通化および簡単化したいという要望がある。これを実現するためには生成した擬似正弦波の所望の周波数レベルとこの周波数の近傍の高周波(例えば3倍、5倍の高周波)のレベル差をできるだけ大きくした方が好ましい。

そこで、上記要求を満たすために生成した擬似正弦波において、所望する周波数レベルと近傍の高周波とのレベル差を更に広げる手段を提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

矩形波発生手段と、

この矩形波発生手段からの矩形波を初期値としてデジタルフィルタに供給する第1のスイッチと、

前記デジタルフィルタの出力をシフトレジスタに供給する第2のスイッチと、

前記デジタルフィルタから得られる正弦波とその高周波とのレベル差を拡大するために、前記第1及び第2のスイッチを制御して、前記シフトレ

ジスタの出力を前記デジタルフィルタに供給し、そのデジタルフィルタの出力を再度前記シフトレジスタに取込ませる手段とを具備したものである。

(作用)

上記手段による正弦波合成回路により、デジタルフィルタから得られる正弦波とその高周波とのレベル差を十分に拡大することができる。従って、その正弦波を低域遮断フィルタに通すことにより、所望周波数の近傍の高周波レベルを十分に抑えた出力特性の正弦波を抽出することができる。

(実施例)

以下この発明の実施例を図面を参照して説明する。

第1図はこの発明の一実施例である。

矩形波生成回路57の出力はスイッチ59の一方の入力端を介して、デジタルフィルタ51に入力されている。このデジタルフィルタ51では、各遅延器(D1~D5)の出力にそれぞれ乗算器(31~36)により係数が増え、加算器

(42~46)で加算された後出力される。

デジタルフィルタ51の出力は、スイッチ67およびデジタルアナログ変換器69を直列に介して低域通過フィルタ(以下LPFと記す)71に入力されると共に、スイッチ55の一方の入力端に加えられる。スイッチ55の出力はシフトレジスタ53を介してスイッチ59の他方の入力端に加わると共に、スイッチ55の他方の入力端にも加えられる。発振回路63の出力は、矩形波生成回路57、デジタルフィルタ51、シフトレジスタ53、制御回路65、デジタルアナログ変換器69のクロック入力端にそれぞれ加えられる。制御回路65から得られる各種タイミング信号は、それぞれ対応するリセット回路61、スイッチ59、スイッチ55、スイッチ67の制御端にそれぞれ加えられる。

上記デジタルフィルタ51は簡単な6乗子の直列相換形フィルタであり乗算器31~36の乗算係数をそれぞれa,b,c,c,b,aとし、その周波数特性を伝達関数 $H(j\theta)$ で表すと、

$$\begin{aligned} H(j\theta) = & z + b e^{-j\theta} + c e^{-j2\theta} + c e^{-j3\theta} \\ & + b e^{-j4\theta} + a e^{-j5\theta} \\ = & a e^{-j(5/2)\theta} (e^{j(2/2)\theta} \\ & + e^{-j(2/2)\theta}) + b e^{-j(3/2)\theta} \\ & (e^{j(1/2)\theta} + e^{-j(1/2)\theta}) \\ & + c e^{-j(1/2)\theta} (e^{j(0/2)\theta} + e^{-j(0/2)\theta}) \\ = & 2 e^{-j(5/2)\theta} (a \cos(5/2)\theta \\ & + b \cos(3/2)\theta + c \cos(1/2)\theta) \end{aligned} \quad \dots (1)$$

ただし、 $\theta = 2\pi(f/fs)$ (fs : サンプル周波数)、 $f = fs$ のとき、 $fs = 1/8$ で表される。上記の場合、 $a=1/16, b=3/16, c=1/2$ となり非常に簡単な構成のフィルタで実現できる。

シフトレジスタ53は入力を順次シフト格納することができる。スイッチ55は制御回路65の制御により、デジタルフィルタ51の出力とシフトレジスタ53の出力とを切換えてシフトレジスタ53に入力することができる。矩形波生成回路57は周期 T_0 の矩形波にあたる初期の入力値を生成することができる。スイッチ59は制御回路

65の制御により、矩形波生成回路57の初期入力値とシフトレジスタ53との出力を切換えてデジタルフィルタ51に入力することができる。リセット回路61はデジタルフィルタ51が発振等を起こさないように制御回路65の制御により遅延器の出力をリセットすることができる。発振回路63はこのシステムを動作させるクロックを生成することができる。制御回路65は発振回路63の出力を基準にして全体のタイミングを制御することができる。スイッチ67は制御回路65の制御により、最終的に得られた結果をデジタルアナログ変換器69に出力することができる。

次にこのシステムの動作を説明する。

矩形波生成回路57で周期 T_0 の初期入力値をスイッチ59を介してデジタルフィルタ51に入力する。その際デジタルフィルタ51の各遅延器の出力はリセット回路61により入力以前は“0”にしておく。デジタルフィルタ51の出力は定常状態(この例では5回シフト)になると階段波のデジタル値となり、この出力をシフトレジスタ

53に入力する。第2図に各出力波形の様子を示す。すなわち、第2図(2a)は矩形波生成回路57の出力でデジタルフィルタ51の入力波形、同図(2b)~(2f)はデジタルフィルタ51の各遅延器(D1~D5)の出力波形、同図(2g)はデジタルフィルタ51の定常状態の波形、すなわち階段波形を示している。

シフトレジスタ53の段数構成は様々なものが考えられる。例えば12段のシフトレジスタで構成するとデジタルフィルタ51が17回シフトしたときにシフトレジスタ53には定常値すなわち第4図(b)の階段波のデジタル値が格納されることになる。

次にリセット回路61によりデジタルフィルタ51の各遅延器出力を再度“0”にした後、スイッチ59によりデジタルフィルタ51の出力をシフトレジスタ53の出力に切換える。これ以降デジタルフィルタ51には階段波のデジタル値が入力され、更に17回シフトするとシフトレジスタ53には階段波を入力としたデジタルフィルタ

51の出力が格納される。

最初に入力した周波数 f_0 の矩形波のレベルとその近傍の高周波(例えば周波数 $5f_0$)のレベルとの差が 4dB 、また上記周波数 f_0 の矩形波のレベルと得られた階段波のレベルとの差が 14dB であったとする。次に、シフトレジスタ53の階段波を再度デジタルフィルタ51に入力すると、階段波の振幅はさらに強調されることになる。すなわち 14dB だけ相対的なレベル差が拡大し、全体としては $(4+2 \times 14)\text{dB}$ に拡大したことになる。なお具体的な数値は(1)式で計算することができる。

この様な操作を何度か繰返すことによって2つの周波数の相対的なレベル差は更に拡大される。そして十分なレベル差が得られたときにスイッチ55によりシフトレジスタ53の入力を、デジタルフィルタ51の出力からシフトレジスタ53の出力に切換え、リセット回路61による遅延器出力のリセット動作も中止する。すなわちデジタルフィルタ51がこれ以上遅延動作をおこなわないようにし単なる線形動作を行なうようにする。

42~46…加算器、51…デジタルフィルタ、53…シフトレジスタ、55、59、67…スイッチ、57…矩形波生成回路、61…リセット回路、63…発振回路、65…制御回路、69…デジタルアナログ変換器。

出願人代理人 弁理士 鈴江武彦

この様にして得られたデジタルフィルタ51の出力をスイッチ67により外部に取り出し、アナログ変換後、LPF 71により所望の正弦波を抽出することができる。

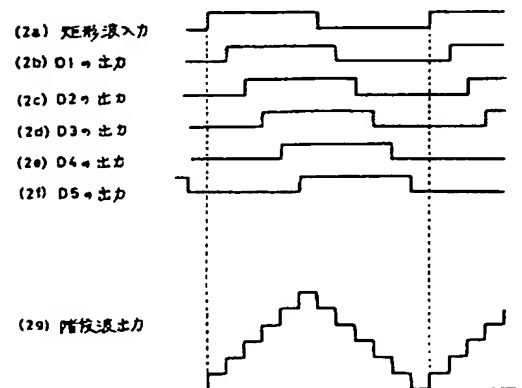
〔発明の効果〕

この発明によれば簡単なデジタルフィルタを構成し、これに周期 T_0 の矩形波を入力し、得られた出力を再びデジタルフィルタに入力する操作を繰返すことにより、所望の周波数 f_0 のレベルとその近傍のレベル差を十分に拡大することができる。

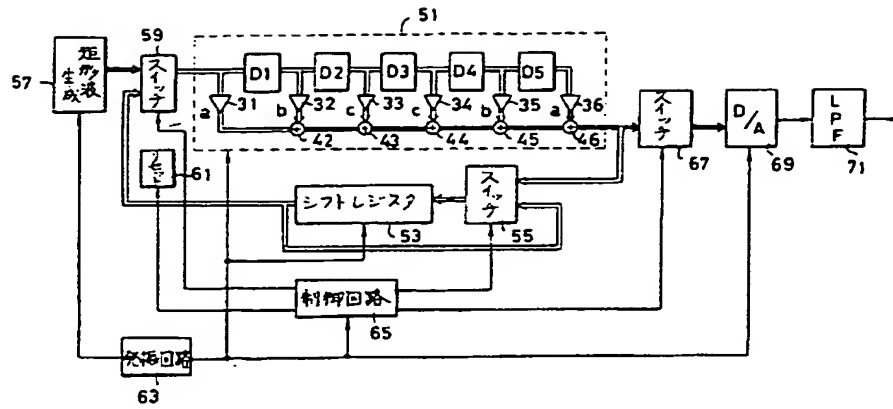
4. 図面の簡単な説明

第1図は本発明の一実施例を示す図、第2図は上記実施例のデジタルフィルタの各出力波形を示す図、第3図は従来の正弦波合成回路を示す図、第4図は正弦波、階段波および擬似正弦波の関係を示す図である。

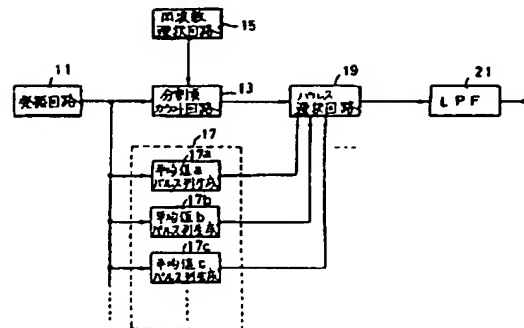
11…発振回路、13…分割点カウント回路、15…周波数選択回路、17…平均値パルス列生成回路、19…パルス選択回路、21、71…LPF、D1~D5…遅延器、31~36…乗算器、



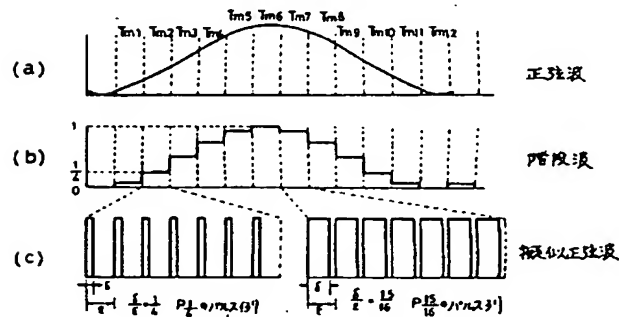
第2図



第 1 図



第 3 図



第 4 図